

Japanese Kohyo Patent No. P2002-508141A

Job No.: 228-119968

Ref.: Japanese Patent No. 2002-508141/PU020289 JP/BJD(Joan)/Order No. 8529

Translated from Japanese by the McElroy Translation Company

800-531-9977

customerservice@mcelroytranslation.com

JAPANESE PATENT OFFICE
PATENT JOURNAL
KOHYO PATENT NO. P2002-508141A

Int. Cl. ⁷ :	H 04 L 12/28 H 04 L 11/20
Filing No.:	Hei 11[1999]-508563
Filing Date:	July 13, 1998
Publication Date:	March 12, 2002
Translation Submission Date:	December 28, 1999
International Application No.:	PCT/SE98/01381
International Filing No.:	WO99/03300
International Filing Date:	January 21, 1999
Priority	
Date:	July 11, 1997
Country:	Sweden
No.:	9702692-6
Examination Request:	Not filed
Preliminary Examination Request:	Filed Total of 24 pages
Designated Countries:	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP (GH, GM, KE, LS,

MW, SD, SZ, UG, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW

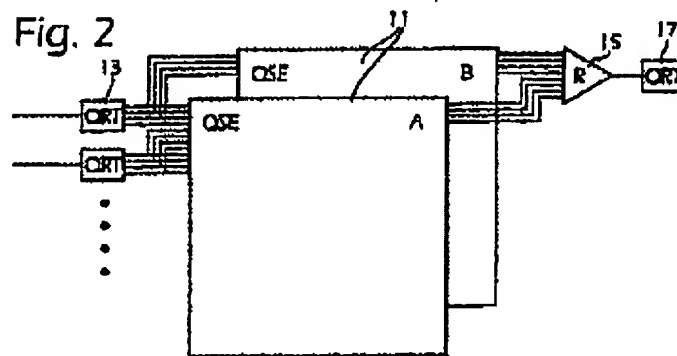
REDUNDANCY TERMINATION

Inventor:	Göran Wicklund Diligensvägen 82, Nacka, Sweden
Applicant:	Telefonaktiebolaget LM Ericsson (No street address) S-126 25 Stockholm, Sweden
Agents:	Kiyoshi Asamura, patent attorney, and 3 others
Theme Code (Reference):	H

Abstract

In a switch having 2 parallel planes A and B for providing redundancy, cells are received by a redundancy terminator unit from the aforementioned 2 planes, and those cells are first classified as so-called unicast cells that are to be switched in the normal manner or so-called multicast cells that are to be switched or copied to multiple outputs of the aforementioned planes. One of the cells received by selector controller unit 3 is selected at each cell time, and said selection is made substantially randomly among received unicast cells and multicast cells stored in FIFO 35 that is equipped with output register 37. When the received cells have different

priorities, the aforementioned random selection is made among the received cells with the highest priority. Although unselected unicast cells are discarded, unselected multicast cells are retained until they are selected by the aforementioned register. Said random plane selection is made using a simple high-speed method in order to very quickly respond to many problems in the switching core.



Claims

1. A switch equipped with a selector unit, in which at least 2 switching planes are provided, each of the aforementioned planes has inputs and outputs, cells are switched between the aforementioned inputs and the outputs so as to generate a cell stream at each of the aforementioned outputs of the respective planes, a redundancy terminator unit is switched to the outputs of only one of the planes so as to receive the parallel cell streams from the respective switched outputs, and the aforementioned redundancy terminator unit selects 1 cell at a time from the aforementioned parallel cell streams; wherein,

the aforementioned switch is characterized in that the aforementioned selector unit selects a cell substantially randomly from the aforementioned parallel cell streams.

2. The switch described under Claim 1, characterized in that the aforementioned switching planes operate simultaneously such that cells are generated at the outputs of the aforementioned planes only at prescribed cell times.

3. The switch described under either of Claims 1 and 2, characterized in that the aforementioned switch switches cells with at least 2 different priorities, and the aforementioned selector unit selects 1 cell randomly from cells with the same priority that are received in the form of the aforementioned parallel cell streams.

4. The switch described under Claim 3, characterized in that the aforementioned selector unit selects 1 cell only from cells with the highest cell priority.

5. The switch described under one of Claims 1-4, characterized in that the aforementioned selector unit is configured so as to send a message regarding the reception of a selected cell.

6. The switch described under one of Claims 1-5, characterized in that the aforementioned selector unit is configured so as to send a message regarding the non-reception of an unselected cell.

7. The switch described under one of Claims 1-6, characterized by being configured in such a manner that the aforementioned switch switches between unicast cells that are switched to 1 of the outputs of the respective switching planes using a normal method and multicast cells that are switched to a group of outputs of the respective switching planes, a buffer memory provided in the aforementioned redundancy terminator unit is switched so as to receive multicast cells from the outputs of the aforementioned plane switched to said redundancy terminator unit, and the aforementioned selector unit selects 1 cell among the unicast cells received each time and one of the cells stored in the aforementioned buffer memory.

8. The switch described under Claim 7, characterized in that the aforementioned selector unit is configured so as to select 1 cell among the unicast cells received each time and the cell that has been stored in the buffer memory for the longest period of time among the cells stored in the aforementioned buffer memory.

9. The switch described under one of Claims 7 and 8, characterized by being equipped with a control means for controlling the aforementioned buffer memory, whereby when 1 multicast cell is selected by the aforementioned selector unit, the aforementioned control means removes only said selected multicast cell from the aforementioned buffer memory.

10. The switch described under one of Claims 7-9, characterized in that the aforementioned redundancy terminator unit is provided with a filter unit, wherein said filter unit receives multicast cells from the aforementioned 2 switching planes and discards multicast cells for which a copy is already stored in the aforementioned buffer memory in order to prevent the storage of such multicast cells in the aforementioned buffer memory.

11. The switch described under one of Claims 7-10, characterized in that a line is provided from the aforementioned buffer memory to the aforementioned selector unit and is configured so as to send a signal that indicates that the storage level of the aforementioned buffer memory is higher than a prescribed value, and the aforementioned selector unit is configured so as to select 1 cell from the aforementioned buffer memory every time it receives said level signal.

Detailed explanation of the invention

Redundancy termination

Technical field

The present invention pertains to a device (redundancy terminating [device]) for terminating redundancy in inputs from 2 parallel switching planes (switching planes).

Prior art

For example, in the case of an ATM circuit network switch, a cell in a data cell stream needs to be switched quickly from an input port to an output port. Portions of internal processing of such switch are always carried out simultaneously using a high-speed clock frequency, and software is not required for said processing. Said processing is achieved by means of hard-wired elements. In order to achieve a sufficient level of reliability, a switch is often duplicated and configured into a parallel plane configuration, wherein each switch is referred to as a plane (plane). At output ports of the 2 parallel planes, only 1 of the 2 cells obtained from the planes can be selected each cell time, and the procedure required for this is referred to as redundancy termination.

A common problem with a redundant ATM switch that utilizes 2 identical parallel switching planes that operate independently of each other is that the operations of the 2 planes are not synchronized. Therefore, different results are obtained when different selection conditions are involved, that is, different cells are selected. If the switch receives 2 cells that should be switched to the same output port, if one of the planes selects one of the cells, and if the other plane selects the other cell, the results obtained from the 2 planes differ. Furthermore, if the switch is equipped with a buffer, completely different cell permutations are sometimes obtained from the 2 planes. Therefore, the receiver of the cell permutations finds it difficult to determine from which plane a cell should be extracted. A method that is often used in order to solve this problem is to make it a rule to extract a cell from the same single plane at all times. If a wrong plane is selected, it may take a very long time to detect said mistaken plane and select the other plane. Several cells may be lost while the plane is being updated after the mistake took place.

In the case of a switch core (switch core) that switches cells from multiple input ports to multiple output ports, 2 different kinds of cells transmitted from time to time using different methods may be handled. A first type of cell called a unicast (unicast) cell is transmitted from an input port to a specific output port that is specified at the header part of the cell, for example, using a conventional method via a switch core. Also, a second type of cell called a multicast (multicast) cell is transmitted almost simultaneously to all output ports of a switch core or all of 1 group of output ports. When the aforementioned transmission by the switch core becomes redundant when a second switch core that operates simultaneously but yet independently of the

first switch core is incorporated, a special problem is created regarding when the redundant plane pertaining to the multicast cell should be terminated.

An ATM switch redundancy terminating device is disclosed in International Patent Application No. WO93/15579. The cell that reached the terminating device first is selected using a conventional method. However, in the case of a high-speed ATM switch that utilizes planes that operate based on a relatively elementary method, that is, a directly parallel (directly parallel) simple method, such time difference would not be present. Because the cells transferred from the parallel planes always reach at a specific time, a selection based on a time difference cannot be made. In addition, the processing required for handling time is too complicated. In addition, in the case of a high-speed switch, cell reception confirmation of some kind, for example, as disclosed in US Patent No. 5,361,255, is needed. A signal indicating reception/non-reception is sent to the origin of the cell in a conventional manner.

Outline of the invention

The objective of the present invention is to present a redundancy termination that reduces the risk of losing cells in the event of a malfunction of one of the parallel planes.

Therefore, the problem to be solved by the present invention is how to execute redundancy termination in a high-speed switch having parallel planes while quickly responding to a problem by operating sufficiently fast in order to reduce the risk of losing cells in the event of a malfunction.

In general, this objective can be achieved by paying attention to all parallel planes at each moment when a cell selection should be made in order to make the best selection for filtering the processing.

In a switch that executes 2 parallel switchings independently so as to provide redundancy for the switch, cells are received by a redundancy terminator unit from 2 planes. This unit has a simple switching means that separates received cells based on whether a given cell is a so-called unicast cell that is to be switched in the normal manner or a so-called multicast cell that is to be switched or copied to multiple outputs of the planes. The selection of 1 cell is carried out by a selector controller unit each cell time, and said selection is made substantially randomly between a received unicast cell and a multicast cell stored in a first-in first-out buffer memory. If received cells have different priorities, the random selection is made between the cells with the highest cell priority. Although unselected unicast cells are discarded, unselected multicast cells are retained in a buffer until they are selected. This random plane selection is executed using a fast-speed simple method in order to quickly respond to many problems of the switch core.

In a switch having at least 2 parallel switching planes, wherein the respective switching planes receive cells and generate a cell stream at each of their respective multiple outputs in said

manner, a redundancy terminator unit is provided in such a manner that it is switched to only 1 output of each of the respective planes in order to receive parallel cell streams from the outputs to which it is switched. The redundancy terminator unit includes a selector unit, the selector unit selects 1 cell substantially randomly from one of the parallel cell streams each cell time, the selected cell is output or transmitted from the redundancy terminator unit, and unselected cells are discarded. Cells often have different priorities. In such case, the selector unit selects a cell randomly from only the cells with the same priority, and the highest priority is used as said priority assigned to the cell to be selected.

In order to transfer a cell reliably, the selector unit is capable of sending a message indicating the reception of the selected cell and a message indicating the non-reception of an unselected cell, and these messages are sent at a stage slightly before the cells are transmitted to the planes. A cell that corresponds to a non-reception message received in said earlier stage can be retransmitted to the applicable switching plane.

Furthermore, the cells transmitted to the switch may be of different types, for example, a unicast cell or a multicast cell. Here, a unicast cell is switched to only 1 output of the respective switching planes using a normal method, and a multicast cell is switched to 1 group of outputs comprising at least 2 outputs of the respective switching planes. A buffer memory in the redundancy terminator unit is switched so as to receive only the multicast cells from the outputs of the aforementioned planes, and the selector selects 1 cell between the unicast cell received each cell time and one of the cells stored in the buffer memory, preferably the cell that has been stored therein for the longest period of time.

A controller unit is provided in order to manage the buffer memory. Only when a selection is made by the selector unit does the controller unit remove said selected multicast cell from the buffer memory. This means that all multicast cells are selected eventually, and no multicast cells are discarded through the selection processing. A unicast cell can be discarded. In addition, the redundancy terminator unit is sometimes provided with a filter unit. The filter unit receives a multicast cell and discards it if a copy thereof was stored in the buffer in a previous stage. As such, a multicast cell already stored is never again stored in the buffer. A line provided from the buffer memory to the selector unit is used to send a signal if the storage level of the buffer memory has become too high, that is, if it has become higher than a prescribed threshold value. Upon receiving said signal, the selector unit always selects a cell from the buffer memory, but never a unicast cell.

Other objectives and advantages of the present invention are disclosed below, which will become partially clear from the descriptions given below. The objectives and the advantages of the present invention can be realized using the method, processing, and device described under the attached claims in particular and through their combination.

Brief description of the figures

Novel characteristics of the present invention are shown under the attached claims in particular. However, a full understanding of the configuration and contents of the present invention, a full understanding of the aforementioned and other characteristics of the present invention, and a good understanding of the present invention given below with respect to figures is not to be restrictive. They will become clear through the discussion of the detailed explanation. Attached figures include the following.

Figure 1 is a diagram showing a simple circuit network.

Figure 2 is a block diagram showing the entirety of a switch unit.

Figure 3 is a block diagram of a redundancy terminator unit.

Figure 4 is a flow chart showing the flow of respective steps carried out during a selection process by the redundancy terminator unit in Figure 3.

Figure 5 is a flow chart showing the flow of respective steps carried out by the redundancy terminator unit in Figure 3 when storing a specific cell into a first-in first-out buffer memory.

Detailed explanation

An ATM circuit network involving links to other circuit networks and terminals to be switched to subscribers or input/output stations 3 is exemplified in Figure 1. Each terminal 3 is switched to an ATM switching node 5. Nodes 5 are switched between each other using an appropriate method, whereby a message can be sent from terminal 3 to any arbitrary terminal.

Node 5 includes a switch unit that operates at high speed. Because such switching unit must be highly reliable, a redundancy of a different type is incorporated into the unit. An ordinary method for attaining the redundancy involves the provision of an extra parallel switching element or plane for all switching elements of said switching unit. As such, 2 parallel cell streams are obtained from each pair that is comprised of said primary switching elements, and cell streams must be combined into 1 cell stream using the best possible method. Said combining operation is referred to as the termination of redundancy or redundancy termination.

Redundancy termination as explained below is applied to a complete switching unit configured using circuits QRT and QSE manufactured by IgT. However, redundancy termination can be applied to any switching unit that operates based on substantially or almost the same or a similar method.

QSE circuit 11 used in the switching unit in Figure 2 has 32 input ports and 32 output ports. Circuit QRT indicated by 13 may be used as input unit 13 to be switched to the input ports of QSE 11. While a QSE can be used as a single switch in a small ATM circuit network, for

example, multiple QSEs may be interconnected using different methods in order to construct different large switch structures. Such switch structure can be configured using 3 stages of QSEs. A QRT has 4 outputs, whereby it is switched to 1, 2, or 4 different QSEs. In the switching unit shown in Figure 2, the outputs of the QRTs are switched to different inputs of a QSE 11.

In order to construct a failure resistant switch structure, respective switch cores are provided at least in several stages, or a QSE is provided parallel to another QSE, and the 2 parallel QSEs operate independently of each other so as to receive the same cell stream in order to attain redundancy. The simple switching unit in Figure 2 has 2 parallel QSEs that are provided in said manner. A cell from input QRE [sic; QRT] 13 is copied to both planes 11 and transmitted through them. A selection is made for respective pairs of correspondingly numbered output ports at the output sides of 2 planes 11, whereby 1 cell stream that contains cells selected using the best possible method is obtained, and the cells are transmitted as quickly as possible and reliably via the switch structure. This function is instructed by a redundancy terminator unit 15 that is switched to the respective 2 correspondingly numbered output ports of QSEs 11. Finally, the cell stream generated by a redundancy terminator unit 15 is switched to output QRT 17 that constitutes an output interface of the switching unit.

It can be assumed that the switching unit in Figure 2 is clocked by a very fast bit clock signal as well as by a low-speed cell clock signal. That is, the interval between respective cell clock signals is equivalent to a prescribed number of inter-bit-clock-signal intervals, and a cell clock signal is generated at each M-th place bit clock signal. Here, M is equal to 118 according to the ATM standard. The time at which a cell clock signal is generated is referred to as a cell time, and the time at which a bit clock signal is generated is referred to as a bit time.

The cell stream transmitted via switch core 11 is assumed to be either of a unicast type or of a multicast type. A unicast cell is in accordance with a conventional method, and it is switched to only 1 output port of QSE 11 that is determined based on certain path length information provided in the header of the cell. A multicast cell is transferred from 1 input port to all or 1 group of output ports that includes at least 2 ports. A multicast cell does not contain any clear path length information in its header, and a bit that indicates that it is a multicast cell is set in the header. However, a multicast cell contains an identifier that is used to specify a memory provided in the QSE. Data in said memory indicate an output (bitmap) to which said cell should be copied.

The QSE does not have a buffer device for unicast cells. If at least 2 unicast cells are sent to the same output port simultaneously, and one of the cells is selected while the other cell is discarded or abandoned, a collision may occur between the unicast cells. Thus, affirmative response signal ACK or non-affirmative response signal NACK is returned along a path provided parallel to a cell path that is provided and configured within the QSE by a special

means. The ACK signal is sent when a cell reaches the output port of the QSE and is selected. The NACK signal is sent when a cell reaches the output port and is not selected. That is, it is sent when the cell is discarded. Affirmative response signals and non-affirmative response signals are usually received at a QSE input device such as a QRT, and said input device retransmits a cell that corresponds to a received NACK signal.

A buffer is provided in the QSE for multicast cells. A multicast cell received by the QSE is stored in said buffer and retained there until it is effectively copied to an output port to which it should be sent according to bitmap information contained in the aforementioned memory of the QSE. As such, a collision between multicast cells can be avoided, whereby a multicast cell can always be reliably transmitted to the applicable target output. Therefore, neither signal, that is, either reception [sic; affirmative] or non-affirmative, is needed with a multicast cell.

When 2 parallel planes are utilized for the sake of redundancy, the unit for terminating the parallel planes must be provided with functions to acknowledge the reception/non-reception of a unicast cell and to store a multicast cell temporarily. Such plane selection function is executed by redundancy terminator unit 15, whose configuration is shown in the schematic diagram in Figure 3. A cell arriving from one of the 2 planes 13A or B is sent to register 21, and the bit that indicates multicast or unicast is extracted there by decoder unit 23. Decoder unit 23 switched to register 21 generates a signal that is used to control separation switch 25 so as to receive the cell stored therein.

Cells are separated as a unicast cell or a multicast cell in said manner, and a unicast cell is sent to input registers 27A and B of selector switch 29. There, register 27A receives cells from plane A, and register 27B receives cells from plane B. Multicast cells are sent to registers 31A and 31B of filter function [sic; unit] 33. There, register 31A receives cells from plane A, and register 31B receives cells from plane B. Filter unit 33 either discards the received cells or writes them into FIFO 35 that is switched to outputs of filter 33. The filter function will be described later. Although 1 or 2 cells are written into FIFO 35 during 1 cell time period, only 1 cell is read. The read cell is sent to input register 37 of selector switch 29. Also, registers 27 holding the unicast cells from the 2 planes are switched to selector switch 29.

Selector switch 29 selects one of the 2 unicast cells in registers 27A and 27B or a multicast cell in register 37 that is sent from FIFO 35 based on their priorities. Controller unit 39 is switched to registers 27A and 27B, whereby it can access priority bits in the headers of the cells stored in said registers. When the 2 stored cells have the same priority, which is higher than the priority of a third cell, or when there are 3 cells with the same priority, 1 cell is selected randomly. The random selection is carried out based on a signal from pseudo-random number generator 40 of an arbitrary type known in this field, for example, a pseudo-random number generator configured using multiple shift register switches. However, when multicast FIFO 35 is

almost full, selector switch 29 extracts a cell from it. To this end, controller unit 39 is switched to FIFO 35 and receives a signal when the storage level of the FIFO is too high. Once a selection is made, an unselected unicast cell is discarded. On the other hand, when a multicast cell stored in the register is not selected, said cell is retained in said register until it is selected.

If a unicast cell is selected from a plane, controller unit 39 returns affirmative response signal ACK to said plane. If a unicast cell is selected, and the unicast cells from the 2 planes that are stored in registers 27 are the same cells, that is, if the same connection number and sequence number are held in the case of an ATM, the ACK signal is returned to both planes. If a unicast cell is received but not selected, non-affirmative response signal NACK is sent to said plane from which the cell arrived.

When filter unit 33 for multicast cells has already received the same cell from the other plane, it does not receive a cell from said plane. Therefore, filter unit 33 is provided with memory 41; and cell identity information, that is, connection and sequence numbers from the final N units of multicast cells transferred from FIFO 35 in the case of an ATM, is stored therein. The number N is determined based on the maximum cell shift (skew) between the 2 planes. Although this skew can potentially be up to 64 cells for a one-stage switch core like that shown in Figure 2, the probability is extremely low. Also, filter unit 33 includes controller unit 43 that can be switched to registers 31A and 31B in order to extract identity information, that is, the connection and sequence numbers in the case of an ATM, and to compare them with all the entries in memory 41 one by one. Because a 1-bit clock cycle is required for each comparison, in the case of a memory with 64 inputs, 64-bit clock cycles are needed. In this case, the limit of 1 cell is not exceeded time because 118 cycles are taken as 1 cell time in the case of an ATM. The comparison is carried out simultaneously with respect to 2 received multicast cells. If N needs to be an even larger number, memory 41 is divided into parallel blocks, each block is provided with 1 comparator, and all the comparators are operated simultaneously for the purpose of comparison with the records stored in the same memory 41. When a cell is accepted, that is, when the cell has never been received previously, cell identity information, that is, its connection and sequence numbers, is written at the final position, that is, the oldest position, of memory 41 after all the other inputs. Preferably, memory 41 is configured in the form of a cyclic memory, and the input cell information is written over the oldest cell information.

The functional steps executed by controller unit 39 of selector switch 29 are summarized in the flow chart in Figure 4. There, whether a signal from FIFO 35 indicates that the storage level is very high is checked by block 401 at the start of a new cell time. If it is very high, block 403 is executed, whereby the cell to be selected next is taken out of register 37, and because it is a cell that is to be output next from FIFO 35, it is sent to QRT 17 as shown in Figure 2. At the next block 405, whether a cell is present in register 27A is determined. If TRUE is the result, a

non-affirmative response signal called a NACK signal is sent to plane A while in block 407. If a cell is not present in register 27A, block 409 is executed in order to check whether a cell is present in register 27B. If the result is that a cell is present, block 411 is executed in order to send non-affirmative response signal NACK to plane B.

If the determination at block 401 is that the FIFO level is not very high, block 413 is executed in order to access priority information on the cells stored in unicast register 27A and 27B and output register 37 of FIFO 35. In next block 415, their priorities are compared so as to determine the highest priority, and the register holding the cell with the highest priority is determined. Then, at block 417, whether 2 or more cells with said highest priority are present is determined. If only 1 cell has the highest priority, said cell is selected at block 419 and sent to the connected QRT. Next, at block 421, whether the cell from unicast register 27A is selected is determined. If TRUE is the result, block 423 is executed in order to return affirmative response signal ACK to plane A. Subsequently, at block 425, whether a cell is stored in register 27B is determined. If TRUE, a NACK signal is returned to plane B. Next, block 401 is again executed upon the arrival of a new cell time. The same also holds true when a decision is made at block 425 that no cell is present in register 27B.

If a decision is made at block 421 that the cell in register 27A was not selected, block 429 is executed in order to determine whether the cell in unicast register 27B was selected. If it was selected, block 431 is executed in order to return affirmative response signal ACK to plane B. In the next block 433, whether a cell is stored in unicast register 27A is determined. If a cell is stored therein, a NACK signal is sent to plane A while in block 435. Next, block 401 is executed upon the arrival of a new cell. The same also holds true when a decision is made at block 433 that no cell is stored in register 27A.

If a decision is made at block 429 that the cell in register 27B was not selected, block 437 is executed in order to determine whether the cell in multicast register 37 was selected. If so, block 405 is executed in the manner described above. If a decision is made at block 437 that no multicast cell was selected, the entire procedure is restarted upon the arrival of a new cell time.

If a decision is made at block 417 that 2 or more cells have the highest priority, block 439 is executed, whereby one of the cells with the highest priority that are stored in the register is selected randomly and sent to the QRT. The random selection is carried out using a random number generated by a generator such as pseudo-random number generator 40. Next, at block 441, whether the cell in unicast register 27A was selected is determined. If it was selected, at block 443, whether the identity information on unicast 27A and 27B cells [sic; in registers 27A and 27B] is identical is determined. If TRUE, block 445 is executed in order to send an affirmative response signal to both planes A and B. Then block 401 is executed again upon the arrival of a new cell time. If a decision is made at block 443 that the identity information is not

identical, block 423 is executed in the manner described above. If a decision is made at block 447 that the cell in register 27B was selected, block 431 is executed, and a new cell time is awaited.

Next, the operations of controller unit 43 for filter 33 will be explained with reference to the flow chart in Figure 5. Once a new cell time begins, at block 501, identity information on the cells in registers 33A and 33B is accessed. At block 503, whether said identity information is identical is determined. If not identical, operation processes for the 2 systems are executed simultaneously. In each of the systems, blocks 505A and 505B are executed, whereby the identity information on the cell in register 31A or 31B is compared with the identity information stored in memory 41 that pertains to the cell stored previously in FIFO 35. In the next respective blocks 507A and 507B, whether said information was found is determined. If not found, blocks 509A and 509B are executed. Here, the identity information in register 31A or 31B is transferred to FIFO 35, and the cell identity information is copied or stored in memory 41. Next, upon the arrival of a new cell time, the procedure is restarted at block 401.

If a decision made at block 503 indicates that the concerned cells have the same or equivalent information, block 511 is executed in order to compare the identity information on the cell in multicast register 31A with the identity information stored in memory 41 that pertains to the cells stored previously in FIFO 35. In the next block 513, whether the information was present in memory 41 is determined. If not present, block 515 is executed. At block 515, the cell in register 31A is transferred to FIFO 35, and the identity information on said cell is stored in memory 41. Upon arrival of a new cell time, block 501 is executed. The same also holds true if a decision made at block 513 indicates that the cell stored in register 31B has already been transferred to FIFO 35.

The explanation given above is an outline or a basic explanation of logical steps carried out at certain points with the focus on the flow charts in Figures 4 and 5 in particular. As is clear to those skilled in the art, it can be understood that most of said processing procedures are executed simultaneously using a specially designed device or a simple logical circuit capable of parallel operations. The registers in Figure 3 do not have to be implemented as physically separate registers, and some may be identical, such as input registers 21 and unicast registers 27A and 27B. It is feasible that register 37 may not physically exist, but may be a pointer to a position in a memory field where a stored cell is held.

The aforementioned plane selection quickly responds to many switch core problems and problems that often manifest in the form of loss of cells. For example, an I/O problem can occur at a switching plane where an input or an output is bound to a logical level. The simple plane selection described here can be complemented using other monitoring functions such as a parity check, connection establishment check, and test cell check, for example.

A specific application example of the present invention has been explained. However, many additional advantages, modifications, and changes can be easily implemented by those skilled in the art. Therefore, the present invention has been shown in a broad sense. As such, the specific details described, the representative devices, and the illustrated application example are not restrictive. Thus, a variety of modifications are feasible without departing from the scope of the general idea of the invention as defined in the attached claims and the spirit of equivalents thereof. Therefore, it should be also understood that the attached claims are intended to cover all such modifications and changes included in the true spirit and range of the present invention.

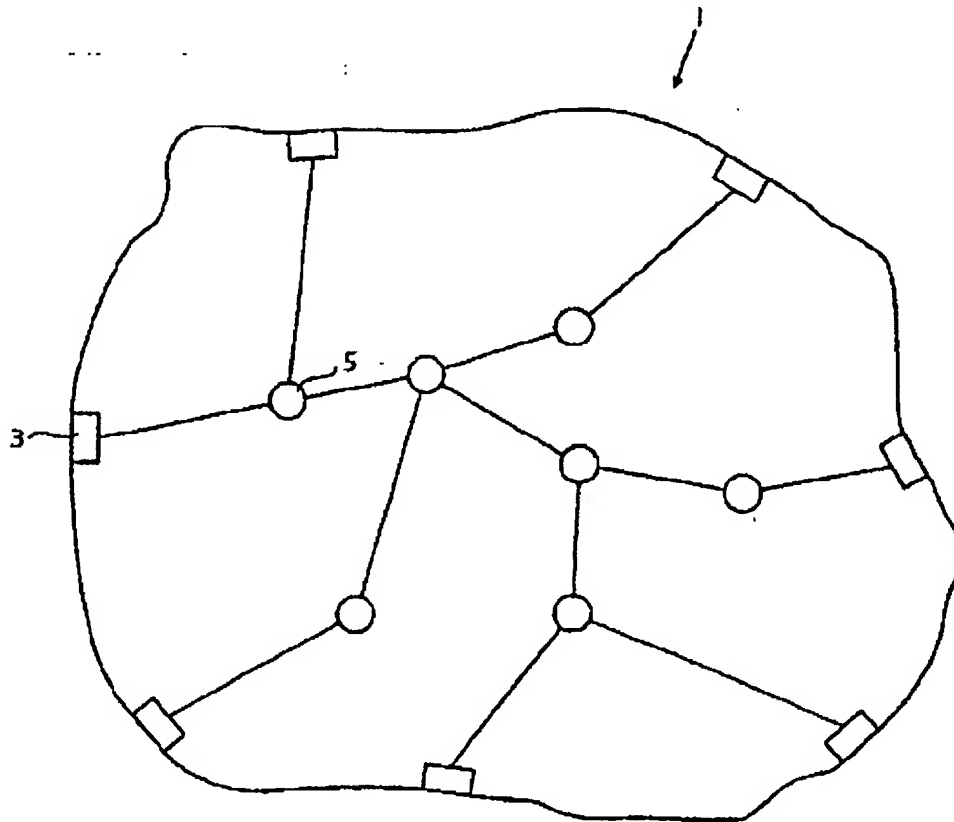


Figure 1. Conventional example

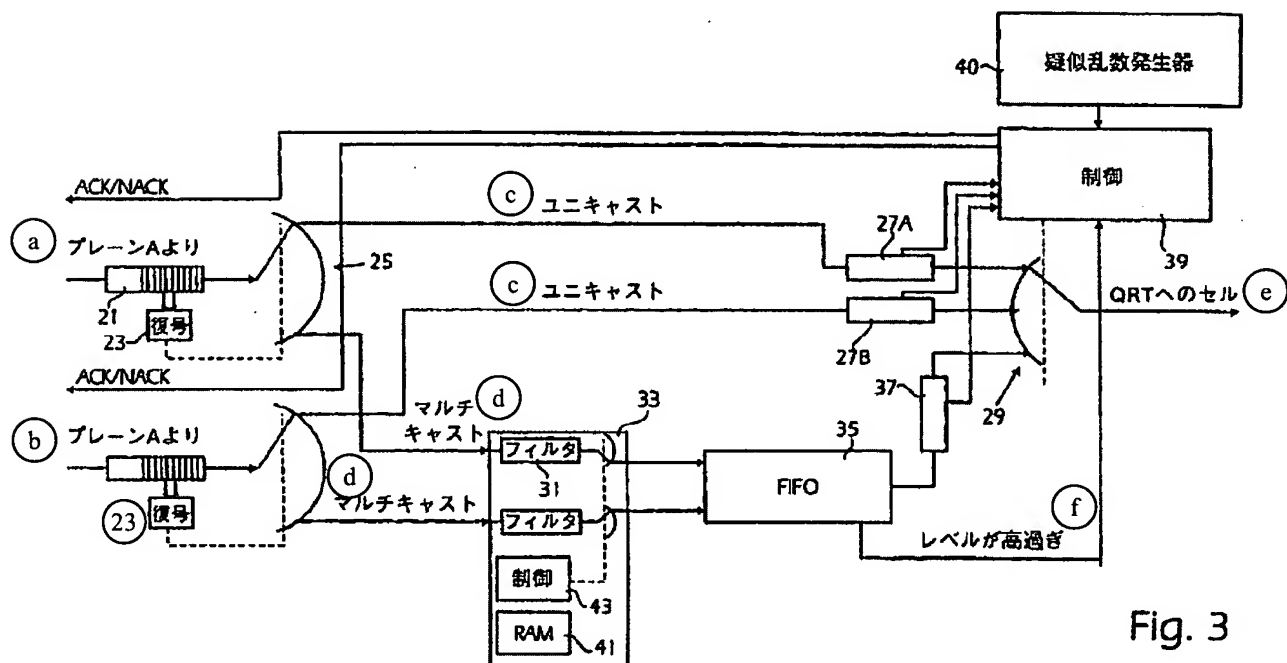
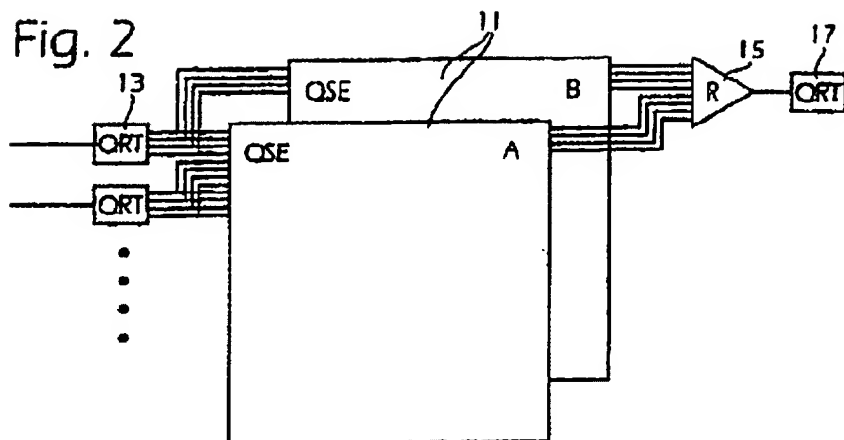


Fig. 3

- Key:
- a From plane A
 - b From plane A [sic; B]
 - c Unicast
 - d Multicast
 - e Cell to QRT
 - f Level is too high
 - 23 Decoder
 - 31 Filter
 - 39, 43 Controller
 - 40 Pseudo-random number generator

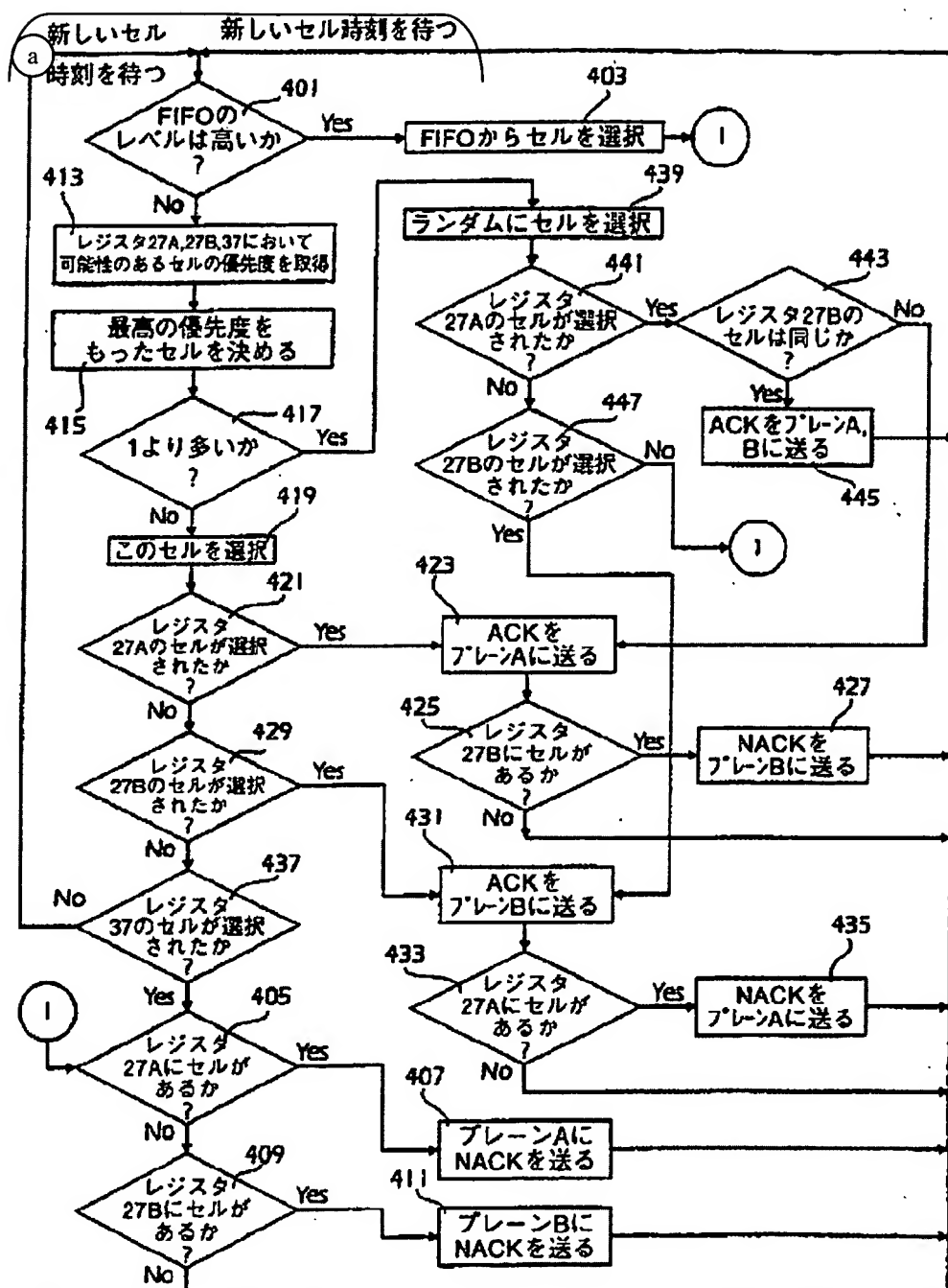
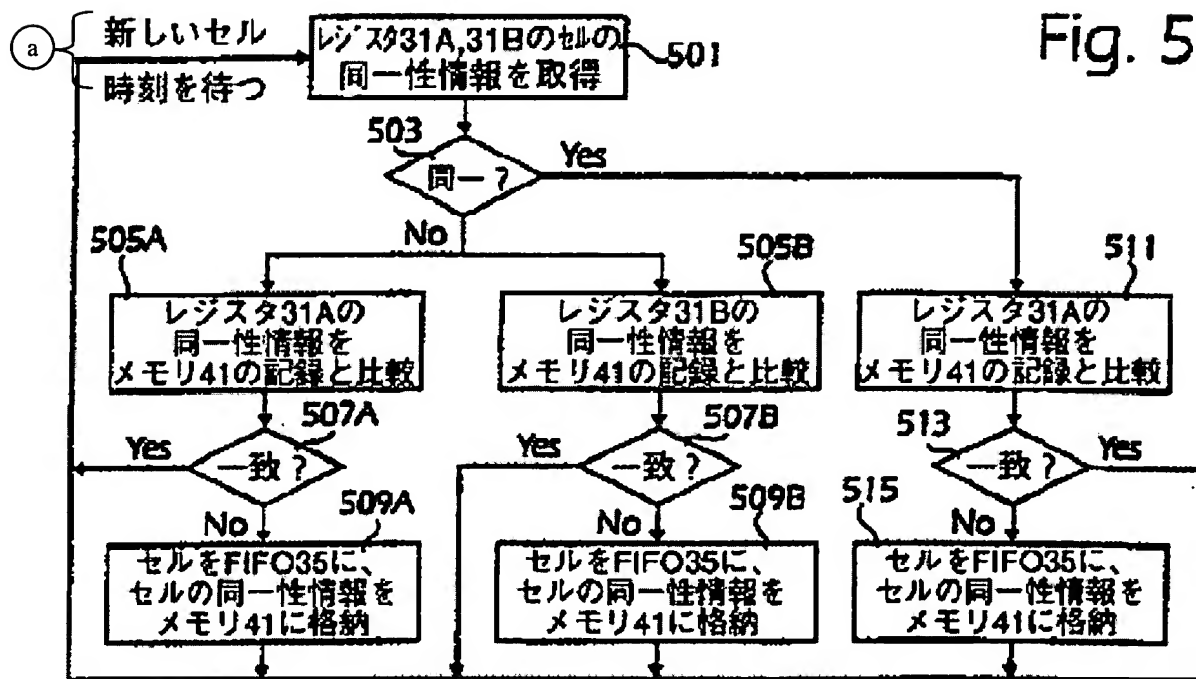


Fig. 4

- Key: a Waiting for a new cell time
 401 Level of FIFO is high?
 403 Select the cell from FIFO
 405, 433 Cell is present in register 27A?
 407, 435 Send NACK to plane A
 409, 425 Cell is present in register 27B?

- 411, 427 Send NACK to plane B
 413 Obtain the priorities of promising cells in registers 27A, 27B, and 37
 415 Determine the cell with the highest priority
 417 More than 1?
 419 Select this cell
 421, 441 Cell in register 27A was selected?
 423 Send ACK to plane A
 429 Cell in register 27B was selected?
 431 Send ACK to plane B
 437 Cell in register 37 was selected?
 439 Select a cell randomly
 443 Cell in register 27B is the same?
 445 Send ACK to planes A and B



- Key: a Waiting for a new cell time
 501 Obtain identity information on the cells in registers 31A and 31B
 503 Identical?
 505A, 511 Compare the identity information of register 31A with the record in memory 41
 505B Compare the identity information of register 31B with the record in memory 41
 507A, 507B, 513 Match?
 509A, 509B, 515 Store the cell into FIFO 35, and store the identity information on the cell in memory 41

INTERNATIONAL SEARCH REPORT

International application No.

PCT/SE 98/01381

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: H04Q 11/04

According to International Patent Classification (IPC) or to both: national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: H04Q

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EDOC, WPIL

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 9315579 A1 (NORTHERN TELECOM LIMITED), 5 August 1993 (05.08.93), page 5, line 24 - page 6, line 21	1,2
Y	page 7, line 27 - page 8, line 8	5,6
A	page 8, line 21 - line 30	3-4,7-11

Y	US 5361255 A (FELIX V. DIAZ ET AL), 1 November 1994 (01.11.94), column 3, line 40 - column 4, line 2	5,6
A	--	1-4,7-11

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"I" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understate the principle or theory underlying the invention

"X" document of particular relevance the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

12 January 1999

Date of mailing of the international search report

22-01-1999

Name and mailing address of the ISA/

Swedish Patent Office

Box 5055, S-102 42 STOCKHOLM

Facsimile No. +46 8 666 02 86

Authorized officer

Christina Hallidin

Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.

PCT/SE 98/01381

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 4128412 C1 (SIEMENS AG), 10 December 1992 (10.12.92), column 2, line 26 - line 40 --	1-11
A	EP 0572831 A2 (SIEMENS AKTIENGESELLSCHAFT), 8 December 1993 (08.12.93), abstract --	1-11
A	EP 0603916 A2 (NEC CORPORATION), 29 June 1994 (29.06.94), abstract --	11
A	US 5537400 A (FELIX V. DIAZ ET AL), 16 July 1996 (16.07.96), abstract -- -----	7-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

01/12/98

International application No.

PCT/SE 98/01381

Patent documents cited in search report	Publication date	Patent family member(s)	Publication date
WO 9315579 A1	05/08/93	CA 2126569 C DE 69221325 D,T EP 0623266 A,B JP 2618328 B JP 6511368 T US 5272696 A	01/07/97 20/11/97 09/11/94 11/06/97 15/12/94 21/12/93
US 5361255 A	01/11/94	NONE	
DE 4128412 C1	10/12/92	DE 59207450 D EP 0529283 A,B SE 0529283 T3 US 5268909 A	00/00/00 03/03/93 07/12/93
EP 0572831 A2	08/12/93	DE 4218054 C US 5442647 A	11/11/93 15/08/95
EP 0603916 A2	29/06/94	CA 2112528 A JP 2655464 B JP 6197128 A US 5412648 A	26/06/94 17/09/97 15/07/94 02/05/95
US 5537400 A	16/07/96	CA 2187292 A EP 0755597 A FI 964120 A IL 113371 A JP 9512149 T US 5745489 A WO 9528781 A	26/10/95 29/01/97 13/12/96 10/03/98 02/12/97 28/04/98 26/10/95

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-508141

(P2002-508141A)

(43) 公表日 平成14年3月12日 (2002.3.12)

(51) IntCl.
H 0 4 L 12/28

識別記号

F I
H 0 4 L 11/20

テーマコード (参考)
H

審査請求 未請求 予備審査請求 有 (全 24 頁)

(21) 出願番号 特願平11-508563
(86) (22) 出願日 平成10年7月13日 (1998.7.13)
(85) 翻訳文提出日 平成11年12月28日 (1999.12.28)
(86) 国際出願番号 PCT/SE98/01381
(87) 国際公開番号 WO99/03300
(87) 国際公開日 平成11年1月21日 (1999.1.21)
(31) 優先権主張番号 9702692-6
(32) 優先日 平成9年7月11日 (1997.7.11)
(33) 優先権主張国 スウェーデン (SE)

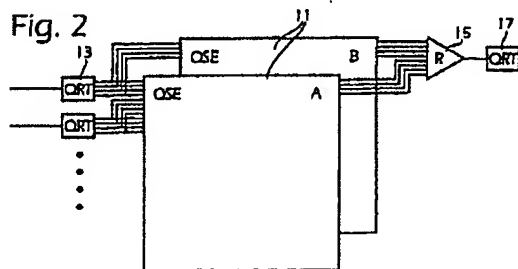
(71) 出願人 テレフォンアクチーボラゲット エル エム エリクソン
スウェーデン国エス-126 25 ストックホルム (番地なし)
(72) 発明者 ウィックルンド、ゲーラン
スウェーデン国 ナッカ、ディリゲンスベール 82
(74) 代理人 弁理士 浅村 皓 (外3名)

最終頁に続く

(54) 【発明の名称】 冗長性終端

(57) 【要約】

冗長性を与えるため2つの並列プレーン (A, B) をもった交換器において、セルが前記2つのプレーンから冗長性終端ユニットに受け取られ、それらセルは先ずユニキャストセルと呼ばれる通常にスイッチされるセルか、マルチキャストセルと呼ばれる前記プレーンの複数の出力にスイッチまたはコピーされるセルであるか、に区別される。各セル時刻において、選択器制御ユニット (3) により受信された1つのセルの選択がなされ、その選択は受け取ったユニキャストセルと、出力レジスタ (37) をもったFIFO (35) に格納されているマルチキャストセルとの中から実質的にランダムになされる。もし受け取ったセルが異なる優先度をもっているなら、前記ランダム選択は受け取ったセルの中で最高の優先度をもったセルの間でなされる。選択されなかったユニキャストセルは放棄されるが、選択されなかったマルチキャストセルは前記レジスタに選択される迄保持される。このランダムプレーン選択は、高速の簡単な方法でなされ、交換本体の多くの故障に対し非常に高速な応答を与える。



【特許請求の範囲】

1. 少なくとも2つの交換プレーンをもち、前記各交換プレーンが入力と出力をもち、各プレーンの前記出力の各々にセルの流れを生じるように前記入力と出力の間にセルがスイッチされ、冗長性終端ユニットが各プレーンの1つの出力にのみスイッチされて各スイッチされた出力から並列のセルの流れを受け取り、前記冗長性終端ユニットが前記並列のセルの流れの1つから一度に1つのセルを選択する選択ユニットを備えた交換器において、

前記選択ユニットが前記並列のセルの流れから実質的にランダムにセルを選択することを特徴とする、前記交換器。

2. 画定されたセル時刻においてのみ前記プレーンの出力にセルが生じるように、前記交換プレーンが互いに並列に作動することを特徴とする、請求項1に記載の交換器。

3. 前記交換器が少なくとも2つの異なる優先度をもったセルをスイッチするものであり、前記選択ユニットが前記並列のセルの流れで受け取る同じ優先度をもったセルのみからランダムに1つのセルを選択することを特徴とする、請求項1乃至2の任意の1つの項に記載の交換器。

4. 前記選択ユニットがセルの優先度の内最高の優先度をもったセルの中からのみ1つのセルを選択することを特徴とする、請求項3に記載の交換器。

5. 前記選択ユニットが選択されたセルについて受領メッセージを送るように構成されていることを特徴とする、請求項1乃至4の1つの項に記載の交換器。

6. 前記選択ユニットが選択されなかったセルについて非受領メッセージを送るように構成されていることを特徴とする、請求項1乃至5の任意の1つの項に記載の交換器。

7. 前記交換器が、通常の方法で各交換プレーンの1つの出力にスイッチされるユニキャストセルと、各交換プレーンの1群の出力にスイッチされるマルチキャストセルとをスイッチするものであり、前記冗長性終端ユニットのバッファメモリが該冗長性終端ユニットにスイッチされた前記プレーンの出力からマルチキャストセルを受け取るようにスイッチされ、前記選択ユニットが各時刻に受け取る

ユニキャストセルと前記バッファメモリに格納されている1つのセルの中から1つのセルを選択するように構成されていることを特徴とする、請求項1乃至6の任意の1つの項に記載の交換器。

8. 前記選択ユニットが各時刻に受け取ったユニキャストセルと、前記バッファメモリに格納されているセルで、バッファメモリに最も長く格納されているセルの中の1つのセルを選択するように構成されている、請求項7に記載の交換器。

9. 前記バッファメモリを制御する制御手段を備え、前記選択ユニットにより1つのマルチキャストセルが選択されたとき、前記制御手段がその選択されたマルチキャストセルのみを前記バッファメモリより取り除くように構成されていることを特徴とする、請求項7乃至8の任意の1つの項に記載の交換器。

10. 前記冗長性終端ユニットにフィルタユニットが設けられ、該フィルタユニットが前記2つの交換プレーンからマルチキャストセルを受け取り、そのコピーが既に前記バッファメモリに格納されているマルチキャストセルを放棄して、そのようなマルチキャストセルが前記バッファメモリに格納されないようにしたことを特徴とする、請求項7乃至9の任意の1つの項に記載の交換器。

11. 前記バッファメモリから前記選択ユニットに線路が設けられ、その線路が前記バッファメモリの格納レベルが所定の値より高いことを示すレベル信号を送るように構成され、前記選択ユニットは前記レベル信号を受け取ったときは常に前記バッファメモリから1つのセルを選択するように構成されている、請求項7乃至10の任意の1つの項に記載の交換器。

【発明の詳細な説明】

冗長性終端

技術分野

本発明は2つの並列の交換プレーン (switching plane) から入力されるセルの流れの冗長性終端 (redundancy termination) 装置に関する。

背景技術

例えば、ATM回路網の交換器は、データセルの流れにおけるセルを入力ポートから出力ポートに非常に高速で切り換えることが要求される。そのような交換器の内部の処理のあるものは常に高速のクロック周波数を用いて並列に実行され、その処理はソフトウェアを必要としない、ハードな配線の要素によりなされる。充分な信頼を得るために、交換器はしばしば二重にされ、各交換器についてプレーン (plane) と呼ばれる、並行プレーン構成にされる。2つの並行なプレーンの出力ポートにおいては、各セル時刻においてプレーンから得られる2つのセルの中の1つのセルのみが選択されねばならず、その手続きを冗長性終端と呼ぶ。

互いに独立に作動する2つの同一の並列の交換プレーンの形の冗長性をもったATM交換器に関する一般的な問題は、2つのプレーンのそれぞれの動作の実行が同期していないということである。従って、選択の状態により異なる結果が得られる、すなわち異なるセルが選択されることがある。もし交換器が同一の出力ポートにスイッチされるべき2つのセルを受け取り、1つのプレーンがそのセルの1つを選択し、他方のプレーンが他のセルを選択すると、2つのプレーンから得られる結果が異なる。さらにもし交換器にバッファが設けられているなら、2つのプレーンから全く異なるセル順列が得られることがある。従って、セル順列の受信者はどのプレーンからセルを取り出すべきか決めることが困難となる。この問題を解決するためしばしば用いられる方法は、常にセルを同じ1つのプレーンから取り出すように決めることである。もし、そのプレーンが間違っていると、そのプレーンの間違いを検知して他のプレーンを選択する迄に非常に長い時間が経過する可能性がある。間違いの発生からプレーンの変更までの期間に、数個の

セルが損失されることがある。

複数の入力ポートから複数の出力ポートにセルをスイッチするような交換本体 (switch core) は、ある場合に異なる方法で送信される2つの異なる種類のセルを取り扱うことがある。ユニキャスト (unicast) セルと呼ばれる第1の種類のセルは交換本体を介して従来の方法により入力ポートから、例えばセルのヘッダ部分に規定された特定の出力ポートに送信される。またマルチキャスト (multicast) セルと呼ばれる第2の種類のセルは交換本体の全ての出力ポート、または1群の出力ポートの全てに殆ど同時に送信される。第1の交換本体と並列かつ独立に作動する第2の交換本体が導入されて、上記のような交換本体による送信が冗長につくられるときは、特にマルチキャストセルに関して冗長なプレーンを何時終端すべきかと言う問題が発生する。

ATM交換器の冗長性終端装置は、公開された国際特許出願WO 93/15579に開示されている。従来の方法により、終端装置に最初に到着したセルが選択される。しかし、比較的初歩的な方法、すなわち直接並列 (directly parallel) かつ簡単な方法で作動するプレーンをもった高速ATM交換器においては、そのような時差は存在しないであろう。並列のプレーンから転送されるセルは常に特定の時刻に到達し、時差に基づく選択はできない。また、時間を処理するのに必要な処理はそれ自身余りにも複雑である。また高速の交換器においては、米国特許5,361,255に開示されているようなある種のセル受信の確認が必要である。受領/非受領の信号が従来のようにセル発信元に送られる。

発明の概要

本発明の目的は並行プレーンの1つに故障が生じた場合にセル損失の危険を減少する冗長性終端を提供することである。

従って本発明により解決する問題は、並行プレーンをもった高速交換において故障の場合にセル損失を最小にするため、十分に高速に作動し故障に速やかに応答して冗長性終端をどのように実行するかということである。

この目的は一般に、セル選択をなすべき各瞬間において全ての並行プレーンに注意して、処理の選別に最良の選択をなすことにより達成される。

交換器に冗長性を与えるため独立に作動する2つの並行交換をもった交換器に

において、セルは冗長性終端ユニットにより2つのプレーンから受信される。このユニットは受信したセルを、それらがユニキャストセルと呼ばれる通常にスイッチされるセルであるか、またはマルチキャストセルと呼ばれるプレーンの複数の出力にスイッチされまたはコピーされるセルであるかに従って分離する簡単な交換手段をもつ。各セル時刻において、1つの受信セルの選択は選択器制御ユニットによりなされ、この選択は受信されたユニキャストセルと先入れ先出しのバッファメモリに格納されているマルチキャストセルの間で実質的にランダムでなされる。もし受信したセルが異なる優先度をもっておれば、ランダム選択は受信したセルの優先度の中で最大優先度をもったセルの間のみでなされる。選択されないユニキャストセルは放棄されるが、非選択のマルチキャストセルは選択されるまでバッファに残される。このランダムのプレーン選択は高速かつ簡単な方法で実行され交換本体における多くの故障に対して非常に高速に応答する。

このようにして、少なくとも2つの並行交換プレーンをもち、各交換プレーンがセルを受信してそのプレーンの複数の出力の各々にセルの流れを生じるようになった交換器において、冗長性終端ユニットが各プレーンの1つの出力にのみスイッチされるように設けられて、スイッチされた出力から並列のセルの流れを受けるようになっている。冗長性終端ユニットは選択ユニットを含み、選択ユニットは各セル時刻において並列のセルの流れの1つから実質的にランダムに1つのセルを選択し、選択されたセルは冗長性終端ユニットから出力または送信され、選択されないセルは放棄される。しばしばセルは異なる優先度をもち、そのときは選択ユニットは同じ優先度をもったセルの中でのみランダムにセルを選択し、その優先度は選択されるセルの優先度の中で最高のものとする。

セルの確実な転送を行うため、選択ユニットは選択されたセルに対して受領メッセージを送り、選択されなかったセルに対して非受領メッセージを送ることができ、これらメッセージはプレーンにセルを送信するより少し早い段階で送られる。そのように早い段階で受け取った非受領メッセージに対応するセルはその交換プレーンに再度送信することができる。

さらに、交換器に送信されるセルはユニキャストセルまたはマルチキャストセルのような異なる種類のものであり得る。ここで、ユニキャストセルは通常の方

法で各交換プレーンの1つの出力のみにスイッチされ、マルチキャストセルは各交換プレーンの少なくとも2つの出力を含む1群の出力にスイッチされる。冗長性終端ユニットにおけるバッファメモリは前記プレーンの出力からマルチキャストセルのみを受け取るようにスイッチされ、選択器は各セル時刻に受け取ったユニキャストセルと、バッファメモリに格納されている1つのセル、好ましくはそこに最も長い期間格納されているセルとの中から1つのセルを選択する。

バッファメモリを管理するため、制御ユニットが設けられる。制御ユニットは選択ユニットにより選択されたときのみ、その選択されたマルチキャストセルをバッファメモリから除去する。これは、全てのマルチキャストセルが最終的には選択されて、選択処理において何れのマルチキャストセルも放棄されないことを意味する。ユニキャストセルにおいては放棄も起こり得る。また、フィルタユニットが冗長性終端ユニットに設けられることもある。フィルタユニットは、マルチキャストセルを受け取り、そのコピーがそれ以前の段階でバッファに格納されているときは、それを放棄する。そのようにして、先に格納されたマルチキャストセルがバッファメモリに再度格納されることはない。バッファメモリから選択ユニットへの線路は、バッファメモリの格納レベルが余り高くなると、すなわちある所定のしきい値より高くなると信号を送り、選択ユニットはその信号を受け取ると常に、ユニキャストセルの中からでなく、バッファメモリからセルを選択する。

本発明のその他の目的および利点は以下の記載に開示され、一部は以下の記載から明らかであろう。本発明の目的、利点は特に添付の請求項に示される方法、処理、装置およびそれらの組合せにより実現され、得られるであろう。

図面の簡単な説明

本発明の新規な特徴は特に添付の請求項に示されているが、本発明の構成および内容に関する完全な理解、本発明の上記とその他の特徴の完全な理解、並びに本発明の良き理解は、添付の図面を参照した以下のそれに制限されるべきでない実施例についてに詳細な説明の考察から明らかになるであろう。添付図面は下記を含む。

図1は、簡単な回路網を示す図面である。

図2は、交換ユニットの全体を示すブロック図面である。

図3は、冗長性終端ユニットのブロック図面である。

図4は、図3の冗長性終端ユニットの選択処理で行われる各工程の流れを示す図面である。

図5は、図3の冗長性終端ユニットにおける先入れ先出しメモリに特定のセルを格納するときに行われる工程の流れを示す図面である。

詳細な説明

図1には例示的に、他の回路網のリンク、加入者等にスイッチされる端末または入力および出力局3をもったATM型の回路網が示される。各端末3はATM交換ノード5にスイッチされる。ノード5は適当な方法で互いにスイッチされ、メッセージは各端末3から他の任意の端末に送ることができる。

ノード5は高速度で作動する交換ユニットを含む。そのような交換ユニットは非常に高い信頼性をもたねばならず、従って異なる型式の冗長性がユニットに組み込まれる。冗長性を与える通常の方法はそのような交換ユニットの全ての交換要素に余分の並列的交換要素またはプレーンを設けることである。そこで、そのような1次的交換要素の各対から2つの並列のセルの流れが得られ、これらのセルの流れは可能な最良の方法で1つのセルの流れに組み合わせねばならない。そのような組合せの動作を冗長性の終端または冗長性終端と呼ぶ。

冗長性終端の以下の説明はI g T社により製造される回路QRT, QSEにより構成される完全な交換ユニットに適用される。しかし、冗長性終端はこの交換ユニットと実質的または概略的に同一または類似した方法で作動する全ての交換ユニットに使用できる。

図2の交換ユニットに使用されているQSE回路11は32の入力ポートと32の出力ポートをもっている。QSE11の入力ポートにスイッチされる入力ユニット13は13で示される回路QRTであっても良い。QSEは例えば小さなATM回路網においては単一の交換器として使用できるが、異なる大きさの交換構造を組み立てるために複数のQSEを異なる方法で相互スイッチすることができる。そのような交換構造は例えば3段のQSEから構成される。QRTは4つの出力をもち、1、2または4つの異なるQSEにスイッチされる。図2の交換

ユニットにおいてQRTの出力は全て同じQSE11の異なる入力にスイッチされる。

故障に対して耐性の交換構造を組み立てるため、少なくとも数段階に各交換本体またはQSEに対して並列のQSEを設け、2つの並列QSEが互いに独立に作動して同じセルの流れを受けるようにして冗長性が与えられる。図2の簡単な交換ユニットには、このようにして2つの並列QSEがある。入力QRE13からのセルは両方のプレーン11にコピーされ、それを通して送信される。2つのプレーン11の出力側に、対応する参照番号の出力ポートの各対についてプレーン選択がなされ、可能な最良の方法で選択されたセルを含む1つのセルの流れが得られ、セルは交換構造を介して確実にかつ出来るだけ高速に送信される。この機能は、QSE11の対応する番号の2つの出力ポートにそれぞれスイッチされる各冗長性終端ユニット15により指示される。最後に、冗長性終端ユニット15により形成されるセルの流れは交換ユニットの出力インタフェースを形成する出力QRT17にスイッチされる。

図2の交換ユニットは非常に高速のビットクロック信号および低速のセルクロック信号の両者によりクロックされると考えて良い。すなわち、各セルクロック信号の間の間隔がビットクロック信号の間の所定数の間隔に相当し、各M番目のビットクロック信号においてセルクロック信号が発生する。ここで、MはATM規格によれば118に等しい。セルクロック信号の発生する時刻をセル時刻と呼び、ビットクロック信号の発生する時刻をビット時刻と呼ぶ。

交換本体11を介して送信されるセルの流れはユニキャスト型またはマルチキャスト型の何れかとみなされる。ユニキャストのセルは従来の方法で、セルのヘッダに与えられるある路程情報により決められるQSE11の1つの出力ポートにのみスイッチされる。マルチキャストのセルは1つの入力ポートから全ての、または少なくとも2つのポートを含む1群の出力ポートに移送される。マルチキャストセルはそのヘッダに明確な路程情報はもたず、ヘッダに設定されたマルチキャストセルであることを示すビットをもつ。しかし、マルチキャストセルはQSEの中のメモリを指定するのに使用される識別子をセルの中に含む。このメモリの中のデータはこのセルがコピーされるべき出力（ビットマップ）を示す。

QSEはユニキャストセルについてはバッファ装置をもたない。少なくとも2つのユニキャストセルが同じ出力ポートに同時に送られ、セルの1つが選択され他のセルが廃棄または放棄されるとき、ユニキャストセル間の衝突が起こるかもしれない。そこで、肯定応答信号ACKまたは非肯定応答信号NACKが交換を介して、QSEの中に特別の手段により設定され備えられたセル通路に並列の通路に沿って送り返される。ACK信号はセルがQSEの出力ポートに到達して、そこで選択された場合に送られる。NACK信号はセルが出力ポートに到達したが、そこで選択されない、すなわちそこで廃棄された場合に送られる。肯定的及び否定的肯定応答信号は通常QRTのようなQSEの入力装置により受け取られ、該入力装置は受け取ったNACK信号に対応するセルを再送信する。

マルチキャストセルについてはQSEの中にバッファが設けられる。QSEにより受領されたマルチキャストセルはそのようなバッファに格納され、QSEの前記メモリに含まれるビットマップ情報に従って送られるべき出力ポートに有効にコピーされるまで保持される。従って、マルチキャストセル間の衝突は避けられ、マルチキャストセルが常に目標の出力に送信されることを確実にする。従って、マルチキャストセルについては受領/非肯定応答信号の何れも必要でない。

冗長性のため2つの並列プレーンが用いられる場合に、ユニキャストセルの受領/非受領の認知、およびマルチキャストセルを一時記憶する機能が並列プレーンを終端させるユニットに設けられねばならない。そのようなプレーンの選択機能は冗長性終端ユニット15で実行され、その構成が図3の概略図に示される。2つのプレーン13A、Bの1つから到着するセルはレジスタ21に与えられ、そこでマルチキャスト/ユニキャストを示すビットが復号ユニット23により抽出される。復号ユニット23は、レジスタ21にスイッチされ、その中に格納されたセルを受け取る分離スイッチ25を制御する信号を発生する。

このようにして、セルはユニキャストセルとマルチキャストセルに分離され、ユニキャストセルは選択器スイッチ29の入力レジスタ27A、Bに与えられる。そこで、レジスタ27AはプレーンAからのセルを受け取り、レジスタ27BはプレーンBからのセルを受け取る。マルチキャストセルはフィルタ機能33のレジスタ31A、31Bに与えられ、そこでレジスタ31AはプレーンAからの

セ

ルを受け取り、レジスタ31BはプレーンBからのセルを受け取る。フィルタユニット33は受け取ったセルを廃棄するか、またはそれをフィルタ33の出力にスイッチされたFIFO35に書込む。フィルタ機能については後で説明する。1つのセルの時間間隔に、1つまたは2つのセルがFIFO35に書込まれるが、1つのセルのみが読出される。読出されたセルは選択器スイッチ29の入力レジスタ37に与えられる。選択器スイッチ29にはまた2つのプレーンからのユニキャストセルを保持するレジスタ27がスイッチされる。

選択器スイッチ29はレジスタ27A、27Bの中の2つのユニキャストセルの1つ、またはFIFO35から与えられるレジスタ37のマルチキャストセルをセルの優先度に基づいて選択する。制御ユニット39がこれらレジスタ27A、27B、37にスイッチされ、これらレジスタに格納されているセルのヘッダの優先度ビットにアクセスすることができる。格納されているセルの2つが同じ優先度で、第3のセルの優先度より高い優先度をもつ場合、または同じ優先度をもった3つのセルが存在する場合は、1つのセルのランダム選択がなされる。ランダム選択は、複数のシフトレジスタのスイッチから作られる疑似乱数発生器のような、この分野で公知の任意の種類の疑似乱数発生40からの信号に従ってなされる。しかし、もしマルチキャストFIFO35が殆ど満杯であるなら、選択器スイッチ29はそこからセルを取り出す。そのため、制御ユニット39はFIFO35にスイッチされて、FIFOの格納レベルより高くなり過ぎたとき信号を受け取る。選択がなされると、選択されなかったユニキャストセル放棄され、一方レジスタに格納されているマルチキャストセルが選択されなかったときは、そのセルは選択されるまで、そのレジスタに格納され保持される。

もしユニキャストセルがプレーンから選択されると、制御ユニット39は肯定応答信号ACKをそのプレーンに送り返す。もしユニキャストセルが選択され、同時にレジスタ27に格納される2つのプレーンからのユニキャストセルが同じセルであるなら、例えばATMの場合セルのヘッダに同じスイッチ番号と順列番号が担持されているなら、ACK信号は両方のプレーンに送り返される。もし、

ユニキャストセルが受信されて選択されなかったときは、非肯定応答信号NACKがこのセルの到着したプレーンに送られる。

マルチキャストセルのフィルタ33は、もし同じセルを既に他のプレーンから受け取っているならそのプレーンからセルを受け取らない。従ってフィルタユニット33には、メモリ41が設けられ、そこにセルの同一性情報、すなわちATMの場合は、FIFO35に転送された最後のN個のマルチキャストセルからのスイッチおよび順列番号が格納される。数Nは2つのプレーンの間の最大セルのずれ(skew)により決められる。このずれは、図2に示されるような1段の交換本体においては64セルまでの可能性があるが、そのようになる可能性は極く小さい。フィルタユニット33はまたフィルタのレジスタ31A、31Bにスイッチされた制御ユニット43を含み、そこから同一性情報、すなわちATMの場合においてはスイッチおよび順列番号を取り出し、それをメモリ41の全ての入力と1つ宛比較する。各比較に1ビットクロック周期を必要とするので、64の入力をもったメモリでは64ビットクロック周期を必要とし、それは1セル時刻、ここではATMの場合のように118周期とみなされる1セル時刻の限界内である。受信する2つのマルチキャストセルに対して比較は並列に行われる。もし、より大きな数Nが必要ならば、メモリ41は並列のブロックに分割して、各ブロックに1つの比較器を設け、全ての比較器は並列に作動して、同じメモリ41に格納されている記録と比較する。もし、セルが受け入れられるなら、すなわちそのセルが以前に受け取ったものでないときは、セルの同一性情報、すなわちそのスイッチおよび順列番号はメモリ41の最後の位置、すなわち最も古い位置、または全ての他の入力の後に書き込まれる。メモリ41は好ましくは巡回メモリとして構成され、入力されたセル情報は最も古いセル情報の上に書き込まれる。

選択器スイッチ29の制御ユニット39により実行される機能的工程は図4の流れ図に要約されている。そこで、新しいセル時刻の開始におけるブロック401で、FIFO35からの信号が格納レベルが非常に高いか否かに関して検査される。もしそれが非常に高ければ、ブロック403が実行されて、次に選択されるセルはレジスタ37から取り出され、それはFIFO35の次の出力セルであ

り、図2に示すようにQRT17に送られる。次のブロック405において、レジスタ27Aにセルが存在するか否かが決定され、もし真であると決定されると、NACK信号と呼ばれる非肯定応答信号がブロック407においてプレーンAに

送られる。レジスタ27Aにセルが存在しなければ、ブロック409が実行されセルがレジスタ27Bに存在するか否かが検査される。もしセルが存在すると決まれば、ブロック411が実行され非肯定応答信号NACKがプレーンBに送られる。

ブロック401で、FIFOのレベルが非常に高くはない、と決まれば、ブロック413が実行され、ユニキャストレジスタ27A、27BとFIFO35の出力レジスタ37に格納されているセルの優先度情報がアクセスされる。次のブロック415において、優先度が比較されその最大優先度が決められ、最大優先度をもつセルを保持するレジスタが決められる。ついでブロック417において、この最大優先度をもったセルの数が2以上か否かが決められる。もし1つのセルのみが最大優先度をもっているなら、このセルがブロック419において選択され、スイッチされているQRTに送られる。ついでブロック421において、ユニキャストレジスタ27Aのセルが選択されたか否かが決められる。もしそれが真であると決定すれば、ブロック423実行され肯定的肯定応答信号ACKがプレーンAに送り返される。その後、ブロック425において、レジスタ27Bにセルが格納されているか否かが調べられ、もしそれが真であれば、ブロック427においてNACK信号がプレーンBに送られる。ついで新しいセル時刻がくるのを待ってブロック401が改めて実行される。ブロック425においてレジスタ27Bにセルが存在しないと決められたときも、同じである。

ブロック421においてレジスタ27Aのセルが選択されなかったと決められたなら、ブロック429が実行されて、ユニキャストレジスタ27Bのセルが選択されたか否かが決められる。もし選択されておれば、ブロック431が実行されて肯定応答信号ACKがプレーンBに送り返される。次のブロック433において、セルがユニキャストレジスタ27Aに格納されているか否かが決められる。

もしセルがそこに格納されておれば、NACK信号ブロック435においてプレーンAに送られる。ついで、新しいセル時刻を待ってブロック401が実行される。もしブロック433においてレジスタ27Aにセルが格納されてないと決められたときも同様である。

ブロック429においてレジスタ27Bのセルが選択されなかったと決められ

たなら、ブロック437が実行されて、マルチキャストレジスタ37のセルが選択されたか否かが決められる。もしそうであれば、ブロック405が上述のように実行される。ブロック437においてマルチキャストセルが選択されなかったと決められたなら、新しいセル時刻を待って全ての手順を再度開始する。

ブロック417において2以上のセルが最大優先度をもっていると決められたなら、ブロック439が実行されて、レジスタに格納されている最大と決められた優先度をもったセルの1つがランダムに選択されてQRTに送られる。ランダム選択は、疑似乱数発生器40のような発生装置により発生された乱数を用いてなされる。ついでブロック441において、ユニキャストレジスタ27Aのセルが選択されたか否かが調べられる。もし選択されておれば、ブロック443においてユニキャスト27A、27Bのセルの同一性情報が同じであるか否かが決められる。もしそれが真であれば、ブロック445が実行されて肯定応答信号がプレーンA、Bの両方に送られる。ついで新しいセル時刻を待ってブロック401が再び実行される。ブロック443において同一性情報が同じでないと決められたなら、上述のようにブロック423が次に実行される。ブロック447において、ユニキャストレジスタ27Bのセルが選択されなかったと決められたなら、ブロック431が実行されて新しいセル時刻を待つ。

次にフィルタ33の制御ユニット43の動作を図5の流れ図を参照して説明する。新しいセル時刻が開始すると、ブロック501においてフィルタユニット33のレジスタ33A、33Bのセルの同一性情報がアクセスされる。ブロック503においてその同一性情報が同じであるか否かが決められる。それが同じでない場合は、2つの系列の操作工程が並列に実行される。各系列において、ブロック505A、505Bが実行されてレジスタ31Aまたは31Bのセルの同一性

情報がFIFO35にその前に格納されたセルを示すメモリ41に格納されている同一性情報と比較される。次のそれぞれのブロック507A, 507Bにおいて、情報が発見されたか否かが決められ、もし発見されなかったときはブロック509A, 509Bが実行される。ここで、レジスタ31Aまたは31Bの同一性情報がFIFO35に転送され、セルの同一性情報がメモリ41にコピーされまたは格納される。ついで新しいセル時刻を待つて、ブロック401において手

順を再び開始する。

ブロック503における決定が問題のセルが同一または等しい同一性情報をもっているという答えであった場合は、ブロック511が実行されてマルチキャストレジスタ31Aのセルの同一性情報をメモリ41にあるFIFO35に以前に格納されたセルについての同一性情報と比較する。次のブロック513において、情報がメモリ41に存在していたか否かが決定され、もし存在していなかったならブロック515が実行される。ブロック515において、レジスタ31AのセルはFIFO35に転送され、そのセルの同一性情報はメモリ41に格納される。ついで新しいセル時刻を待つて、ブロック501を再度実行する。ブロック513の決定がレジスタ31Bに格納されているセルが既にFIFO35に転送されていることを示す場合も同様である。

上記説明は、ある点において実行される論理的工程、特に図4、5の流れ図に焦点を合わせた概略または基本的説明である。それらの処理手順は多くの場合、当業者には明らかなように並列で作動する特別に設計された装置または簡単な論理的回路により並列で実行されることを理解されねばならない。図3のレジスタは必ずしも物理的に別個のレジスタとして実現されなくてもよく、それらのあるものは入力レジスタ21とユニキャストレジスタ27A, 27Bのように同じであってもよい。レジスタ37は物理的には存在せず、格納されているセルを保持するメモリフィールドの位置のポイントであってもよい。

上述のブレーン選択は交換本体の多くの故障、多くの場合セルの損失として現れる故障に非常に早い応答を与える。例えば、故障のI/Oは常に変えることのできない論理水準に束縛される入力または出力のような交換ブレーンに発生する

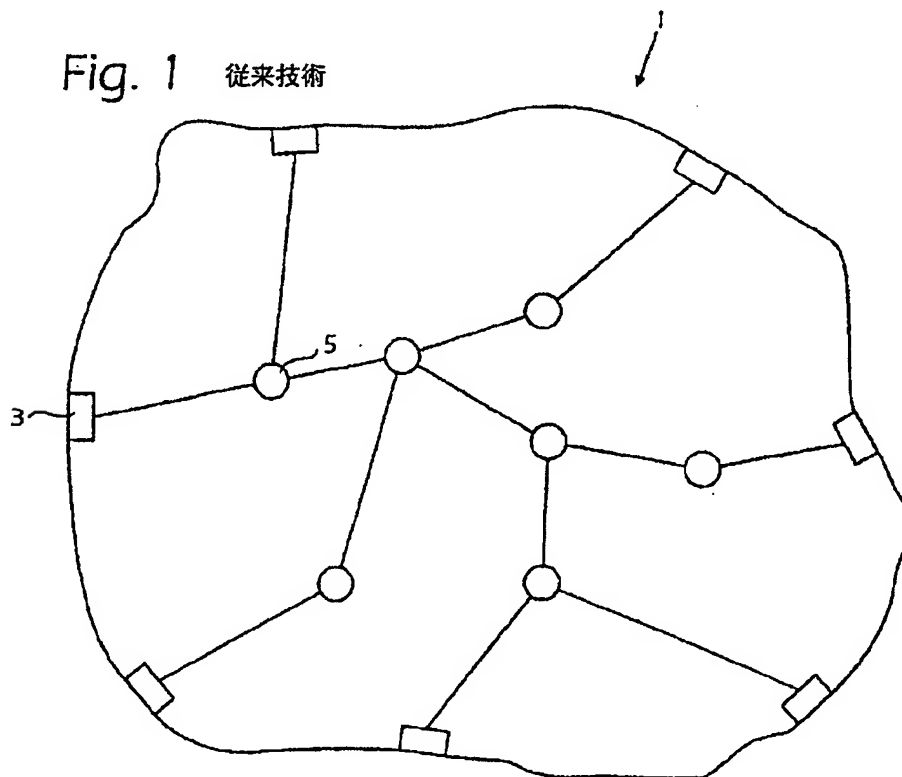
。ここに記載したような簡単なブレーン選択は、例えば、パリティチェック、接続確立チェック、テストセルのチェック等のような他の監視機能により補足される。

本発明の特定の実施例を図示し説明したが、多数の追加的利点、変形、変化が当業者には容易に実現されるであろう。従って、より広い意味において本発明はここに示され、記載された特定の細部、代表的装置、及び図示された実施例に限定されるべきでない。それ故、添付の請求項に画定される一般的発明思想及びその均等物の精神または範囲から逸脱することなく各種の変形がなし得る。それ故

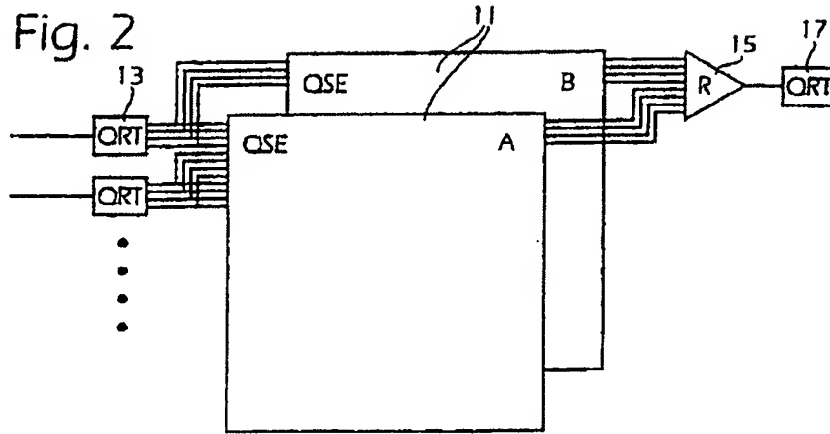
また、添付の請求項は本発明の真の精神および範囲に含まれる全てのそのような変形、変更をカバーすることを意図するものであることが理解されるべきである。

。

【図1】



【図2】



【図 3】

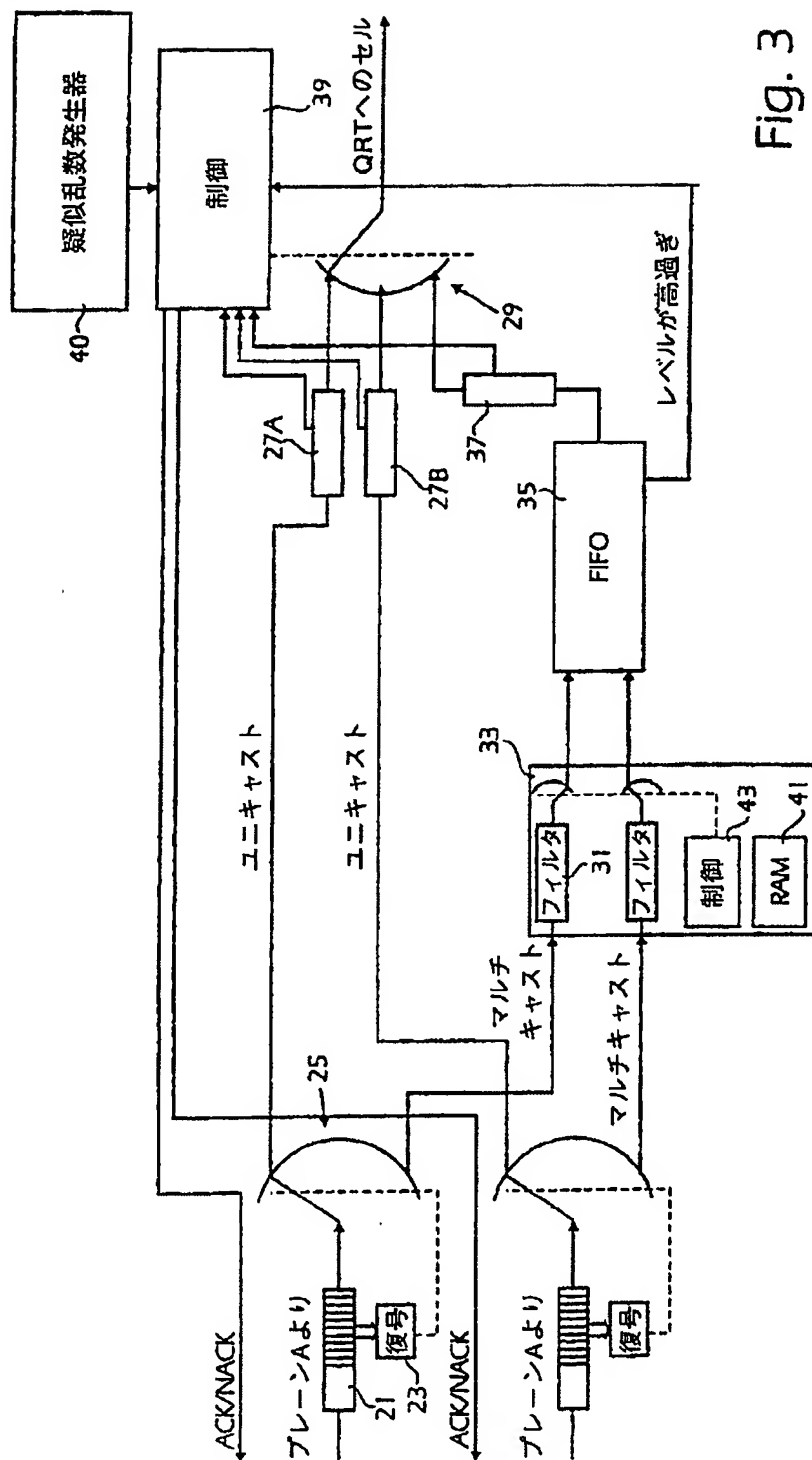


Fig. 3

【図4】

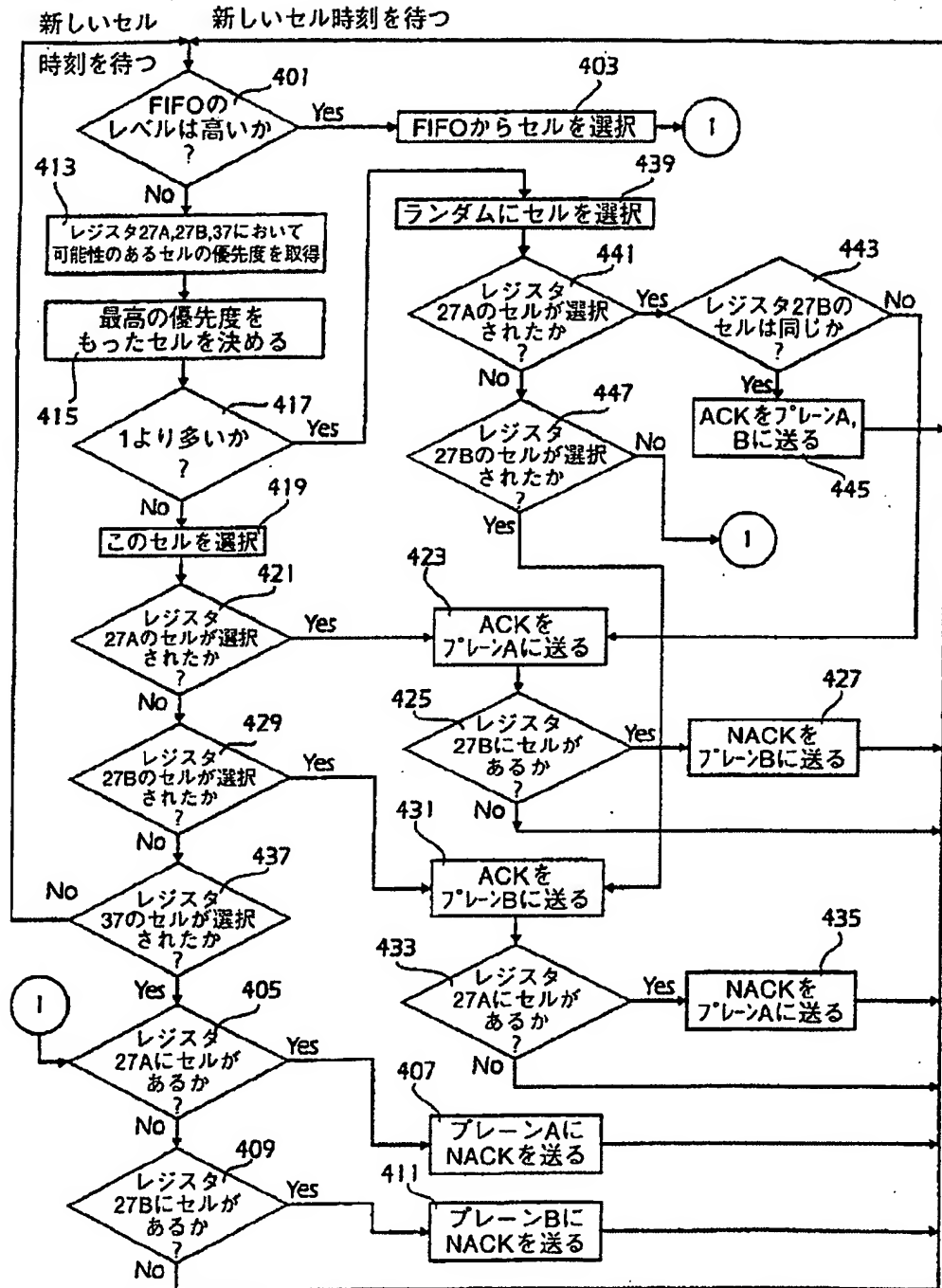
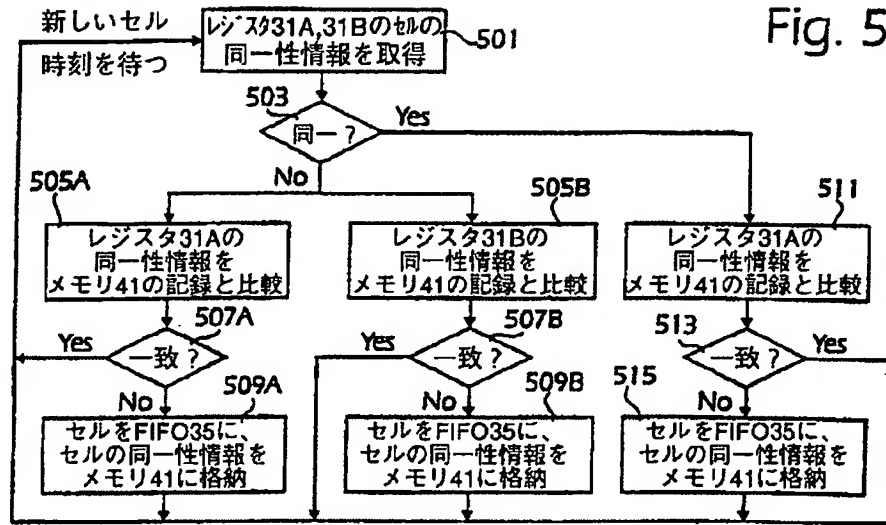


Fig. 4

【図5】

Fig. 5



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE 98/01381

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H04Q 11/04 According to International Patent Classification (IPC) or to both: national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H04Q		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
EDOC, WPIL		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 9315579 A1 (NORTHERN TELECOM LIMITED), 5 August 1993 (05.08.93), page 5, line 24 - page 6, line 21	1,2
Y	page 7, line 27 - page 8, line 8	5,6
A	page 8, line 21 - line 30 --	3-4,7-11
Y	US 5361255 A (FELIX V. DIAZ ET AL), 1 November 1994 (01.11.94), column 3, line 40 - column 4, line 2	5,6
A	--	1-4,7-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to as oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
12 January 1999		22-01-1999
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Christina Hallidin Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.

PCT/SE 98/01381

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 4128412 C1 (SIEMENS AG), 10 December 1992 (10.12.92), column 2, line 26 - line 40 --	1-11
A	EP 0572831 A2 (SIEMENS AKTIENGESELLSCHAFT), 8 December 1993 (08.12.93), abstract --	1-11
A	EP 0603916 A2 (NEC CORPORATION), 29 June 1994 (29.06.94), abstract --	11
A	US 5537400 A (FELIX V. DIAZ ET AL), 16 July 1996 (16.07.96), abstract -- -----	7-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

01/12/98

International application No.

PCT/SE 98/01381

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9315579 A1	05/08/93	CA 2126569 C DE 69221325 D,T EP 0623266 A,B JP 2618328 B JP 6511368 T US 5272696 A	01/07/97 20/11/97 09/11/94 11/06/97 15/12/94 21/12/93
US 5361255 A	01/11/94	NONE	
DE 4128412 C1	10/12/92	DE 59207450 D EP 0529283 A,B SE 0529283 T3 US 5268909 A	00/00/00 03/03/93 07/12/93
EP 0572831 A2	08/12/93	DE 4218054 C US 5442647 A	11/11/93 15/08/95
EP 0603916 A2	29/06/94	CA 2112528 A JP 2655464 B JP 6197128 A US 5412648 A	26/06/94 17/09/97 15/07/94 02/05/95
US 5537400 A	16/07/96	CA 2187292 A EP 0755597 A FI 964120 A IL 113371 A JP 9512149 T US 5745489 A WO 9528781 A	26/10/95 29/01/97 13/12/96 10/03/98 02/12/97 28/04/98 26/10/95

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), OA(BF, BJ
, CF, CG, CI, CM, GA, GN, GW, ML,
MR, NE, SN, TD, TG), AP(GH, GM, K
E, LS, MW, SD, SZ, UG, ZW), EA(AM
, AZ, BY, KG, KZ, MD, RU, TJ, TM)
, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BY, CA, CH, CN, CU, CZ, DE, D
K, EE, ES, FI, GB, GE, GH, GM, HR
, HU, ID, IL, IS, JP, KE, KG, KP,
KR, KZ, LC, LK, LR, LS, LT, LU, L
V, MD, MG, MK, MN, MW, MX, NO, NZ
, PL, PT, RO, RU, SD, SE, SG, SI,
SK, SL, TJ, TM, TR, TT, UA, UG, U
S, UZ, VN, YU, ZW